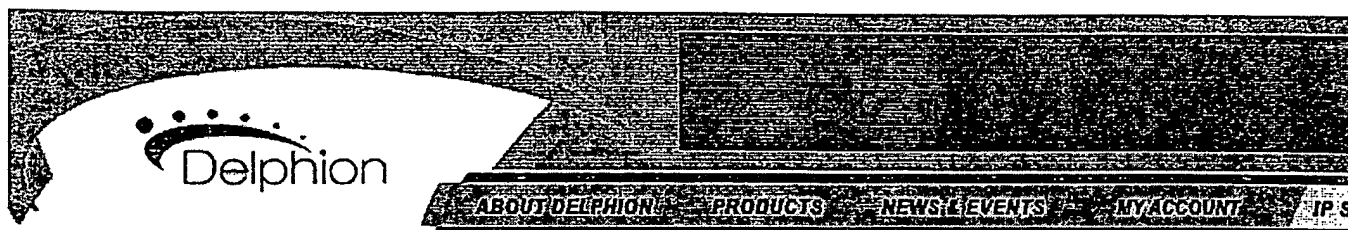


AF



Delphion
Integrated
View

INPADOC
Record

Inquire Regarding
Licensing

Issue/Filed Dates
Application Number
IPC Class
ECLA Code
Priority Number(s)

Other Views:
(No other views for this patent)

JP63187353A2: DATA PROTECTION CIRCUIT FOR BLOCKING TRANSMISSION OF SIGNAL THROUGH BUS

JP Japan

A2 Document Laid open to Public inspection

PEETAA ROOKUSU

ITSUKUSUMITSUTO AG

[News, Profiles, Stocks and More about this company](#)

[No Image](#)

Aug. 2, 1988 / Jan. 7, 1988

JP1988000088798

G06F 12/14;

none

Jan. 23, 1987 CH1987000087238

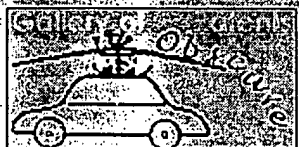
March 31, 1988 JP1988000088798

Patent	Issued	Filed	Title
JP63187353A2	Aug. 2, 1988	Jan. 7, 1988	DATA PROTECTION CIRCUIT FOR BLOCKING TRANSMISSION OF SIGNAL THROUGH BUS
EP276450A1	Aug. 3, 1988	Dec. 16, 1987	Data protection circuit to inhibit the transmission of signals on a bus
2 family members shown above			

Other Abstract Info
Foreign References

DERABS G88-213948

No patents reference this one



Nominate this
for the Gallery

⑫ 公開特許公報(A)

昭63-187353

⑤Int.Cl.⁴

識別記号

庁内整理番号

⑬公開 昭和63年(1988)8月2日

G 06 F 12/14

3 2 0

C-7737-5B

審査請求 未請求 請求項の数 10 (全7頁)

⑭発明の名称 バスを介して信号を伝送することを阻止するためのデータ保護回路

⑮特 願 昭63-798

⑯出 願 昭63(1988)1月7日

優先権主張 ⑰1987年1月23日⑱スイス(CH)⑲238/87-0

⑳発 明 者 ペーター・ロックス スイス国、タールヴィル、テイシエンローシュトラッセ 50

㉑出 願 人 イツクスミット・アク スイス国、ディーテイコン、ノイマツトシュトラッセ 7
チェンゲゼルシャフト

㉒代 理 人 弁理士 曾我 道照 外3名

明 細 書

1. 発明の名称

バスを介して信号を伝送することを阻止するためのデータ保護回路

2. 特許請求の範囲

(1) データが存在しているときに、データ保護回路に対して伝送が許容されたときを除いて、バスを介して信号を伝送することを阻止するためのデータ保護回路であって、コード・ロック・データが固定値として蓄積されている少なくとも1個のレジスタ、コード・キー・データを受け入れるための少なくとも1個の線路上に接続され、コード・ロック・データを読み取るための該レジスタに接続されているデコード回路であって、入力されるコード・キー・データを該レジスタで読み取られるコード・ロック・データと組み合わせ、該組み合わせの所定の結果が存在するときに、特定の線路上で少なくとも1個の可能化信号を生成させ、少なくとも1個のロック回路が該バスの少なくとも1個の線路上で配列され、該可能化信号

に対する特定の線路を横切ってデコード回路に接続されており、該特定の線路上の前記ロック回路に関連した可能化信号が存在するときにのみ、前記バスの線路上での信号の通過が許容されるようにした、信号の伝送を阻止するためのデータ保護回路。

(2) 前記回路またはその該当部分がプログラム化された組み合わせ回路として構成されている特許請求の範囲第1項記載のデータ保護回路。

(3) 前記回路または少なくともその該当部分がマスク・プログラム化された組み合わせ回路として構成されている特許請求の範囲第2項記載のデータ保護回路。

(4) 前記回路または少なくともその該当部分が、PROH、PAL等の、1度だけ電気的にプログラム可能にされた組み合わせ回路として構成されている特許請求の範囲第2項記載のデータ保護回路。

(5) 少なくとも1個の保護されないリード・オンリ・メモリ(ROM)がバスに接続されて、前記バスから常に読み取りできる蓄積箇所とともに設

けられており、前記ROMの少なくとも一部は第2のレジスタとして構成され、コード・キー・データが固定値として蓄積されている特許請求の範囲第1項記載のデータ保護回路。

(6) 第3のレジスタがバスに接続されて、デコード回路からのアクセス用に使用できるように、第2のレジスタで読み取られたコード・キー・データを蓄積できるようにされた特許請求の範囲第5項記載のデータ保護回路。

(7) 第2、第3のレジスタ間で配列されたバスの構成部分であって、第2のレジスタから第3のレジスタへのコード・キー・データを伝送する単一方向性の接続とするもの、および、第3のレジスタとデコード回路との間で配列されたバスの構成部分であって、第3のレジスタからデコード回路へのコード・キー・データを伝送する単一方向性の接続とするものを含んでいる特許請求の範囲第6項記載のデータ保護回路。

(8) 保護されるROMに対する読み取り命令が伝送されるバスの少なくとも1本の線路上でのロッ

ク回路の配列を含んでいる特許請求の範囲第5項～第7項のいずれか1項に記載のデータ保護回路。

(9) 大量蓄積手段に連なる伝送線路の中の少なくとも1本の線路上でのロック回路の配列を含んでいる特許請求の範囲第5項～第7項のいずれか1項に記載のデータ保護回路で保護される大量蓄積手段。

(10) 伝送線路の一部を形成する少なくとも1本の線路上でのロック回路の配列を含んでいる特許請求の範囲第5項～第7項のいずれか1項に記載のデータ保護回路で保護される伝送線路。

3. 発明の詳細な説明

[発明の背景]

この発明は、データ保護回路、および、リード・オンリ・メモリ(ROM)、大量蓄積手段や伝送線路であって、このようなデータ保護回路によって保護されるものにおいて、データの伝送が許容されているときを除き、少なくとも1本のバスを介して、信号を伝送することを阻止するための、データ保護回路に関するものである。

-3-

かくして、この発明は、データ・ソースからデータ・シンクに至る、1本または複数本の線路を介するデータの伝送に関連するものである。このことは、コンピュータ内での、コンピュータ相互間での、または、コンピュータとその周辺機器との間でのデータの伝送に関連することができる。

コンピュータに本質的に含まれているものは、多数の命令を順次に実行していく演算ユニットである。ある1個の命令を実行した後で、次に続く命令がメモリからフェッチされる。かくして、メモリ内には、実行されるべきシーケンスの命令(プログラム)が蓄積される。これらのプログラム・メモリと演算ユニットとを接続させるものは、当該演算ユニットに対する命令が伝送される伝送線路である。

プログラムの実行の間に、適所で蓄積されるべきデータ(操作の結果、外部から入力された値等)が生成される。かくして、プログラム・メモリとは別に、コンピュータには、このようなデータを受け入れるためのデータ・メモリが含まれている。

-4-

このデータ・メモリを演算ユニットに接続させるものも伝送線路である。

コンピュータは、通常、その周辺との通信もしている。かくして、2個以上のコンピュータ間での接続がなされており、これを介してランダムなデータの交換が可能にされる。複数個のプロトコルおよびネットワーク・アーキテクチャにより、コンピュータと、その周辺との間での、この共同作業の制御がなされる。使用されるアーキテクチャの機能として意味されることは、個別のコンピュータには1個または複数個のインタフェースが設けられていて、その各々が特定のプロトコルに従って動作することである。これらのインタフェースにより、更に別異のコンピュータとの接続が許容されて、別異の伝送線路が形成される。

より大量のデータが蓄積され、表現され、プリントされ、または、何らかの別異のやり方で更に処理されるときには、プリンタ、プロッタ、大量蓄積手段等のような、この目的のための周辺機器が使用される。アーキテクチャおよびプロトコ

ルの形式の仕様も、これらの周辺機器がのコンピュータに対する接続に関連して存在するものである。かくして、コンピュータと周辺機器との間の伝送線路が存在する。

データおよび／または信号のための前述されたタイプの伝送線路は、ここでは参照されなかったタイプのものと同様に、一般的にはバスと呼ばれるものであり、これからはバスとして参照される。

前述された全てのバス(および、ここでは説明されなかった別異のバス)は、下記の特徴を有するものである。即ち、データは電気信号の形式で伝送される；その伝送は単一方向または双方向でなされる；バスは1本または複数本の線路からなり、また、個別の線路または線路群を特別の機能に関連させることができる(例えば、アドレス・バス、データ・バス、制御線路等)。

様々な理由のために、バス上で伝送される特定のデータを、許容されないアクセスから保護することが望ましい。その例としては、コピーに対する保護、特定の資源の許容されない使用に対する

保護、個人または対象物に対する機密情報の保護等がある。

文献類においては、ある種の適用に対して、この保護を確実にする様々な処理が説明されている。しかしながら、これらの処理は、極めて複雑なものであるか、または、特定の場合にしか利用できないものであるという不利益をこうむるものである。

[発明の概要]

従って、この発明の目的は、前述されたタイプのデータ保護回路であって、多くの別異のバス上で使用され、容易に実施されるとともに、その有効性が所要の保護の程度に適合できるようにされたデータ保護回路を提供することにある。

この発明によれば、この問題は、特許請求の範囲の欄に記載された特徴点を組み合わせたデータ保護回路によって解決される。この発明の利点の展開は、特許請求の範囲の欄における記載事項から集積されるものである。

この発明の説明は、データ保護回路の実施例お

-7-

よび添付図面に関して、より詳細になされる。なお、同一または相当の構成要素には同一の参照数字が付与されている。

[好適な実施例の説明]

第1図において、進歩的なデータ保護回路には、フレーム1なる記号が付されている。コード・ロック・データは、レジスタ2に蓄積されている。データ保護回路の製造またはプログラミング操作の間に、前記コード・ロック・データがレジスタに入力される。それらはバス4を介してデコード回路3に加えられる。コード・キー・データは、バス5を介してデコード回路3に加えられる。これらのコード・キー・データは種々のソースから発するものである。即ち、それらはコンピュータのブートストラップ・プログラムと一緒に蓄積されていて、該コンピュータの起動とともに入力される；プログラム・メモリの保護されない部分から入力される；外部から入力される；等々である。

コード・ロック・データおよびコード・キー・データは、デコード回路3内において、ある所定

のアルゴリズムに従って組み合わせられることができる。この組み合わせの結果が、ある所定の結果に対応しているときには、可能化信号、または、“可能化”なる意味に組み合わせられるオプションの信号が、バス6における少なくとも1本の線路上に生成される。この可能化信号または対応の組み合わせの信号が存在しないことは、“阻止”なる意味を有することである。この可能化信号または対応の組み合わせの信号が生成されるのは、デコード回路3に対するコード・キー・データが供給された後で、コード・ロック・データとコード・キー・データとの組み合わせの所定の結果の存在が追従されたときだけである。この可能化信号または対応の組み合わせの信号は、デコード回路3において抑制されることができるが、これは反対の“阻止”なる意味を有することになる。また、この可能化信号または対応の組み合わせの信号は、電力供給が切れたとき(装置の切断)、および、コンピュータまたはデータ保護回路のリセット等のような、ある別異の所定の事象が生じたときには、

-8-

自動的に消失するものである。

データ保護回路1の構成による機能として、コード・ロック・データおよびコード・キー・データは、1ビットから数バイトまでにわたって変動する大きさををもって存在する。数バイトが使用されるときには、デコード回路1は逐次に操作される。即ち、数バイトのコード・キー・データがコード・ロック・データと順次に組み合わせられ、また、数バイトのコード・ロック・データも使用される。各組み合わせの後で、所定の部分的な結果のチェックをすることができる。部分的な結果に誤りがあるときには、適当な措置が開始されるものであり、特に、可能性のある処理が中断される。デコード回路が逐次に操作されるものであるときには、使用されているコード・キー・データの正しいシーケンスも、可能性のある基準としての作用をする。

可能化信号または対応の“可能化”なる意味との組み合わせの信号は、1個または複数個のロック回路7を制御する1個または複数個のビットから

なるものである。

ロック回路7は、バス8の2本のアーム8a、8bの間に配置されていて、バス8の1本または複数本の線路を阻止する作用をする。即ち、可能化信号または対応の“可能化”なる意味との組み合わせの信号が加えられない限り、アーム8a、8b同での前記線路上の伝送は阻止される。その変形によれば、ロック回路7は、コード・キー・データを供給するために使用されるものと同一のバス内に配置されている。ただし、コード・キー・データを伝送するために必要とされるバス部分5は、ロック回路7によつては阻止されないものとされる。

第2図において、進歩的なデータ保護回路には、再びフレーム1なる記号が付されている。これには、固定値としてのコード・ロック・データが蓄積されたレジスタ2も含まれており、同様にして、バス4を介してコード・ロック・データが供給されるデコード回路3も含まれている。コード・キー・データは、バス5を介してデコード回路3に

-11-

供給される。この実施例においては、デコード回路3に対するコード・ロック・データおよびコード・キー・データの双方が直列伝送にされており、このために、バス4および5は1本の線路だけからなっていて、それに対応の表現がなされている。再び、コード・ロック・データおよびコード・キー・データは、デコード回路3において、所定のアルゴリズムに従って組み合わせられる。この組み合わせの結果が、ある所定の結果に対応しているときには、可能化信号が生成され、バス6を介してロック回路7に供給される。この実施例においては、バス6は1本の線路だけからなり、これに従った表現がなされている。該可能化信号により、スイッチとして記号的に示されたロック回路7の制御がなされる。このロック回路7は、バス8における線路23の2本のアーム21、22の間に配置されている。かくして、ロック回路7は線路23の阻止をする。即ち、伝送を許容するコード・ロック・データとコード・キー・データとの所定の組み合わせが、データ保護回路1に含まれてい

-12-

ないときには、線路のアーム21、22間での信号の通過を阻止する。

第2図に示された実施例においては、コード・キー・データが、全体的なROMの一部としての保護されないROM20に蓄積されている。前記全体的なROMは、24、25のような複数個の保護されないROM、および、26のような保護されるROMによって構成されているものである。保護されないROM20は、常に、バス8のアーム21に接続されている。ROMの蓄積部分に対する読み取り命令を加えるために、アーム21が使用されており、そのため、ROM20は常にバス8から読み取られることになる。26のような保護されるROMは、ロック回路7を通してアーム21に接続されている。このロック回路7は、コード・ロック・データとコード・キー・データとの所定の組み合わせがデータ保護回路1に含まれていない限りは、26のような保護されるROMの蓄積箇所に対する読み取り命令の通過を阻止するものである。かくして、26のような保護されるROMは、伝送が許容

されたときだけ、バス8から読み取ることができ、明確であるように、単なる線路23以外のバス8の線路の読み取り命令のための使用が、ロック回路7によって確実にされる。

図面を簡単にするという理由のため、読み取りデータを伝送するためのデータ線路が、レジスタ27との接続のためにROM20に示されているだけであり、ROM25の残りの部分およびROM24、26等からの読み取りデータを伝送するためのデータ線路は示されていない。かくして、ROM20として示されているROM25の部分は第2のレジスタとして構成されていて、コード・キー・データが固定値として蓄積されている。

読み取り命令がアーム21上に現れたときには、コード・キー・データがROM20、即ち、第2のレジスタから読み取られて、バス8に接続された回路が使用可能にされる。バス8に接続された回路の一つが第3のレジスタ27である。この第3のレジスタ27には、第2のレジスタ20から読み取られたコード・キー・データが中間的に蓄積

されて、デコード回路3からのアクセスのための正確な時点において使用可能になるようにされる。

例えば、この構成の進歩的なデータ保護回路1は、第2のレジスタ20として構成されたROM24の部分に、コピー防止を目的とするプログラムのオリジナルなもの、または、修正・変形されたものが含まれるようにするために使用することができる。

データ保護回路1によって保護される装置、および、ROM内に蓄積されているデータの正確な使用の場合において、コード・キー・データは、第2のレジスタ20から第3のレジスタ27に供給され、また、この第3のレジスタ27からデコード回路3に供給される。従って、第2のレジスタ20と第3のレジスタ27との間に配置されたバス8の部分、および、第3のレジスタ27とデコード回路3との間に配置されたバス8の部分は、双方ともに、単一方向性の接続のものとして構成することができる。これにより、データ保護回路1の保護動作を排除しようとして、許容されない

-15-

個人がコード・キー・データを第2のレジスタ20に入力させることが不可能になることが確実にされる。

データ保護回路1、特に、そのデコード回路3として動作する部分は、プログラム化された組み合わせ回路として、より詳細には、マスク・プログラム化された組み合わせ回路として構成することができる。この組み合わせ回路のプログラミングは、好適には、1度だけ電氣的な態様で生起するものである。即ち、この組み合わせ回路は、好適には、PROM、PAL等として構成されるものである。

フレーム30内で示されている前述の手段により、データが保護される、および/または、コピーに対する保護がされるROMの構成がなされる。

また、第2図に示されている別例の実施例においては、バス8は、ディスク蓄積装置のような、保護される大量蓄積手段28にも接続されている。この大量蓄積手段28はフレーム30の外部に設けられている。アーム21と前記大量蓄積手段2

-16-

8に連なるバス8の線路29との間には、例えば、大量蓄積手段28に関連した読み取り/書き込み命令を阻止するために、ロック回路7が配置されている。ここで関係のあるバス8の部分は、フレーム30から大量蓄積手段28に至るデータ伝送バスとして構成されている。明らかに、バス8における他の線路は、大量蓄積手段28の読み取り/書き込み命令のための線路29を除いて、ロック回路7によって保護することができる。

第2図に示された別例の実施例において、バス8は、例えば、端末や別異のコンピュータ(DTE/DCE)に対する伝送線路としても作用するものである。送信または受信の容易性の特徴付ける信号の一つを阻止するために、ロック回路7はアーム21と線路29との間に配置されている。この場合の線路29は前述の伝送線路である。ここで関係のあるバス8の部分は、フレーム30から出る伝送線路として構成されている。再び、バス8の他の線路は、送受信の容易性を達成させるための線路29を除き、ロック回路7によって保護するこ

とができる。

4. 図面の簡単な説明

第1図は、進歩的なデータ保護回路の原理を例示するためのブロック図、第2図は、第1図に示された原理に従う進歩的なデータ保護回路の特定の構成のブロック図である。

1はデータ保護回路、2はレジスタ、3はデコード回路、7はロック回路、4、5、6、8はバス。

代理人 曾我 道照

